

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-282815

⑮ Int. Cl.<sup>4</sup>

H 01 L 21/265

27/04  
27/10

識別記号

3 2 5

庁内整理番号

R-7738-5F

V-7738-5F

C-7514-5F

D-8624-5F

⑬ 公開 平成1年(1989)11月14日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 トレンチ型メモリーセルの製造方法

⑯ 特 願 昭63-112033

⑰ 出 願 昭63(1988)5月9日

⑱ 発 明 者 日 高 義 晴 大阪府門真市大字門真1006番地 松下電子工業株式会社内

⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 森本 義弘

明 細 書

1. 発明の名称

トレンチ型メモリーセルの製造方法

2. 特許請求の範囲

1. 半導体基板上に、トレンチエッチマスクとして、下層に半絶縁性膜もしくは導電性膜、上層に絶縁性トレンチエッチマスクを成膜した後、トレンチを形成し、その後、イオンビームをトレンチ側壁に対して所定の角度傾けた状態で照射しながら、トレンチの形成されたウエハーを回転させて、トレンチ側壁へ不純物をドーピングするトレンチ型メモリーセルの製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、イオン注入法を用いたトレンチ型メモリーセルの製造方法に関するものである。

従来の技術

4MビットダイナミックRAM以上の集積度を持ったメモリー素子においては、キャパシタ容量を50fF以上確保すると同時に集積度を上げるため

にチップ面積を縮小する必要がある。このため、溝を縦向きキャパシタとするトレンチキャパシタ技術が必要不可欠のものとなってきた。トレンチキャパシタにおいては、電子を移動し易くするためと、電荷保持の時間を長くするために、酸化膜の下の特レンチ側壁に一定濃度以上の一様な不純物拡散層を形成しなければならない。

従来から、トレンチ側壁への不純物ドーピング法としてイオン注入法がある。この方法は、第2図(a)に示すように、半導体基板11の上にトレンチエッチマスク12を形成し、異方性エッチングにより第2図(b)に示すように、トレンチエッチマスク12のパターンニングを行い、さらに、第2図(c)に示すように、半導体基板11にトレンチ13を形成し、その後、所定の角度傾けた状態でビーム14を照射しながら、トレンチの形成されたウエハーを回転させてトレンチ側壁へイオン注入を行い、不純物をドーピングする方法である。

発明が解決しようとする課題

しかしながら、従来のトレンチエッチマスク12

を用いたトレンチ側壁へのイオン注入方法では、トレンチエッチマスク12として通常、レジスト膜やCVD法による $\text{SiO}_2$ 膜のような絶縁体を用いていたために、たとえば注入イオン14が $\text{As}^+$ イオンである場合には $\text{As}^+$ イオンによりレジスト膜や $\text{SiO}_2$ 膜が正に帯電し、これによりイオン14が反発してイオンビームが広がる。この結果、トレンチ側壁へのイオン注入量が不足したり、ウエハー内部でのイオン注入量のばらつきが大きくなったりして、制御制に欠けるという問題があった。

本発明は上記問題を解決するもので、トレンチ側壁にイオンを注入する際にトレンチエッチマスクが注入イオンにより帯電されてイオンビームが広がることのないトレンチ型メモリーセルの製造方法を提供することを目的とするものである。

問題を解決するための手段

上記問題を解決するために本発明は、すくなくとも2層のトレンチエッチマスクを半導体基板上に形成し、このトレンチエッチマスクの上層には

る絶縁性トレンチエッチマスク3を $1.0\mu\text{m}$ の厚さで形成し、所定の部分を取り除いて第1図(b)に示すように、2層のトレンチエッチマスク4のパターンを形成する。次に、ドライエッチング法によりパターニングを行い、さらに半導体基板1にトレンチ5を形成し、その後半絶縁性膜2および絶縁性トレンチエッチマスク3を残したまま、イオンビーム6をトレンチ側壁に対して所定の角度傾けた状態で照射しながら、トレンチ5の形成されたウエハーを回転させて、トレンチ側壁へのイオン注入を行って不純物をドーピングし、さらにこの後、アニールを行う。このときの拡散層深さは、トレンチ側壁部で約 $0.15\mu\text{m}$ 、底部で約 $0.25\mu\text{m}$ とする。

上記構成により、トレンチエッチマスク4として下層に半絶縁性膜2を用いているので、トレンチエッチマスク4にたまった電荷がその半絶縁性膜2を介して半導体基板1の側に逃げて、トレンチエッチマスク4のイオンにより帯電する量が制御される。これにより、イオンビーム6が広がる

絶縁性トレンチエッチマスクを用い、下層には半絶縁性膜もしくは導電性膜を用いたものである。作用

上記構成により、トレンチエッチマスクとして下層に半絶縁性膜もしくは導電性膜を用いているので、トレンチエッチマスクの電荷がその半絶縁性膜もしくは導電性膜を介して半導体基板側に逃げ、トレンチエッチマスクのイオンにより帯電される量が制御されて、イオンビームが広がることが防止されるものであり、さらにはトレンチ側壁へのイオン注入量の制御を容易に行えるものである。

実施例

以下、本発明の実施例を図面に基づき説明する。

第1図(a)～(c)は本発明の一実施例を示すトレンチ型メモリーセルの製造方法の工程順の断面図である。まず、第1図(a)に示すように、単結晶シリコンからなる半導体基板1の上にカーボン系の半絶縁性膜2を $0.2\mu\text{m}$ の厚さで形成し、その上にCVD法により形成した $\text{SiO}_2$ 膜からな

ことが防止され、ウエハー内部での拡散層深さのばらつきが減少すると同時に実用上問題のない拡散層深さを得ることができる。

なお、トレンチエッチマスク4として下層に半絶縁性膜のかわりに導電性膜を用いてもよく、同様の作用効果が得られる。

発明の効果

以上のように本発明によれば、トレンチエッチマスクを、半絶縁性膜もしくは導電性膜と通常の絶縁性トレンチエッチマスク7との2層構成にすることにより、トレンチ側壁へのイオン注入におけるウエハー内のばらつきが減少し、トレンチ側壁へのイオン注入量の制御を容易に行える。

4. 図面の簡単な説明

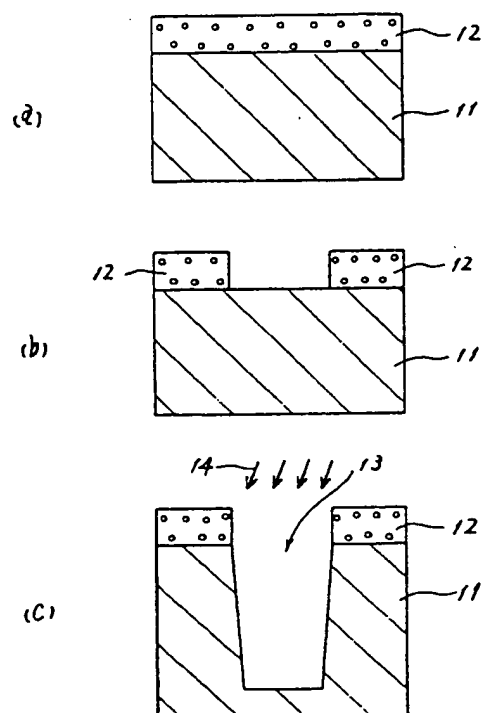
第1図(a)～(c)は本発明の一実施例を示すトレンチ型メモリーセルの製造方法の工程順の断面図、第2図(a)～(c)は従来のトレンチ側壁へのイオン注入法による不純物ドーピングの工程順の断面図である。

1…半導体基板、2…半絶縁性膜、3…絶縁性

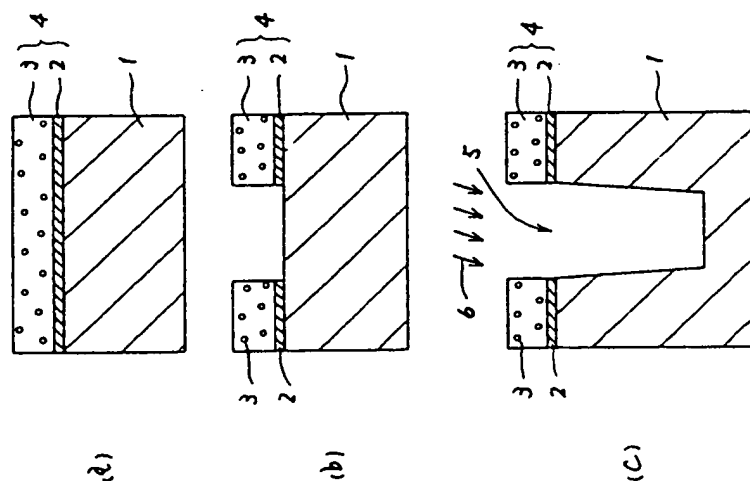
トレンチエッチマスク、4…トレンチエッチマスク、5…トレンチ、6…イオンビーム。

代理人 森 本 義 弘

第 2 図



第 1 図



- 1…半導体基板
- 2…半導体膜
- 3…絶縁性トレンチエッチマスク
- 4…トレンチエッチマスク
- 5…トレンチ
- 6…イオンビーム